

## BUNDESREPUBLIK DEUTSCHLAND

DE 00/00641

**PRIORITY  
DOCUMENT**  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)



REC'D 16 MAY 2000	
WIPO	PCT

ESU

**Bescheinigung**

Die Siemens Aktiengesellschaft in München/Deutschland hat eine Patentanmeldung unter der Bezeichnung

"Verfahren und Anordnung zur automatischen Gewinnung von Takt-  
signalen zur Abtastung von Datensignalen unterschiedlicher Daten-  
raten mit Hilfe eines Phasenregelkreises"

am 15. März 1999 beim Deutschen Patent- und Markenamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprüng-  
lichen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig das Symbol  
H 04 L 7/033 der Internationalen Patentklassifikation erhalten.

München, den 26. April 2000

**Deutsches Patent- und Markenamt**

**Der Präsident**

Im Auftrag

Dzierzon

Aktenzeichen: 199 11 464.1

**THIS PAGE BLANK (USPTO)**



## Beschreibung

Verfahren und Anordnung zur automatischen Gewinnung von Taktsignalen zur Abtastung von Datensignalen unterschiedlicher  
5 Datenraten mit Hilfe eines Phasenregelkreises.

Die weitgehende Transparenz optischer Netze hinsichtlich Datenübertragungsraten sowie der Einsatz unterschiedlicher Übertragungsverfahren bzw. Übertragungsprotokolle für die  
10 Übermittlung der digitalen Informationen - beispielsweise Synchrone Digitale Hierarchie SDH, Gigabit-Ethernet, Fiber Channel - erfordert zukünftige Einrichtungen zur Datenregenerierung bzw. zur Wiederherstellung der Amplitude, Flanke und des Taktes eines übermittelten, digitalen Datensignals bzw.  
15 Datenstromes - auch als "3R-Datenregenerierung" bezeichnet.

Vorrichtungen zur Erzeugung eines Taktsignals aus einem digitalen Datenstrom bzw. aus einem Datensignalstrom sind bekannt. Für die Taktrückgewinnung werden häufig Phasen-  
20 /Frequenzregelkreise bzw. Phasenregelschleifen eingesetzt, welche beispielsweise einen Phasendiskriminator, einen Frequenzdiskriminator, Schleifenfilter, spannungsgesteuerte Oszillatoren - auch als VCO bezeichnet - und einstellbare digitale Frequenzteiler umfassen. Die Funktion von Phasenregelschleifen zur Rückgewinnung des Taktes aus einem digitalen  
25 Datenstrom und die Abtastung des zu regenerierenden, digitalen Datenstromes mit Hilfe eines Abtast-Flip-Flops sind dem Fachmann hinreichend bekannt, so daß auf deren Funktionsweise nicht näher eingegangen wird.

30

Zur Voreinstellung der Phasenregelschleife werden unterschiedliche Verfahren zur Ermittlung der Datenübertragungsrate des digitalen Datenstromes eingesetzt. Alle insbesondere in Weitverkehrsnetzen bzw. WAN-Kommunikationsnetzen eingesetzten Verfahren beruhen auf einer mehr oder weniger exakten  
35 Ermittlung der statistisch verteilten Flankenwechsel des Datenstromes innerhalb eines definierten Beobachtungszeitrau-

mes. Aus der Anzahl der erkannten Flankenwechsel können Rückschlüsse auf die aktuelle Datenübertragungsrate geschlossen werden. Diese Verfahren werden auch als Flankendichteanalysen bezeichnet. Für niedrige Übertragungsraten kommen neben der  
5 beschriebenen Flankendichteanalyse auch Periodendauermessungen einzelner Bits zum Einsatz.

In der Offenlegungsschrift DE 197 04 299 A1 ist beispielsweise eine Vorrichtung zur Gewinnung eines Taktsignals aus  
10 einem Datensignal sowie eine Bitratenerkennungseinrichtung zur Ermittlung der Bitrate des eingehenden Datensignals beschrieben. Die Vorrichtung umfaßt eine Phasen-/Frequenzregeleinrichtung sowie eine im Rückkopplungsweig  
der Phasen-/Frequenzregeleinrichtung angeordnete und mit  
15 Hilfe eines Datenwortes umschaltbare Frequenzteilereinrichtung. Die umschaltbare Frequenzteilereinrichtung ist mit der Bitratenerkennungseinrichtung verbunden, welcher der digitale Datenstrom und zumindest ein Referenzfrequenzsignal zuführbar  
sind. In Abhängigkeit des anliegenden Referenzfrequenzsignals  
20 und des herangeführten digitalen Datenstromes wird durch die Bitratenerkennungseinrichtung ein Bitraten-abhängiges Datenwort erzeugt, welches anschließend der in der Phasen-/Frequenzregeleinrichtung angeordneten Frequenzteilereinrichtung  
zugeführt wird. Die beschriebene Vorrichtung zur Gewinnung  
25 eines Taktsignals aus einem digitalen Datensignal bzw. Datenstrom hat den Nachteil, daß die Auflösung der Erkennungsschaltung stark begrenzt ist, d.h. Übertragungsraten des digitalen Datenstromes, die sich um weniger als den Faktor 4 unterscheiden, können durch diese nicht sicher differenziert  
30 werden. Ein weiterer Nachteil besteht in der Gefahr einer Fehlsynchronisierung auf Nebenlinien des Frequenzspektrums während der Übertragung spezieller Dateninhalte - beispielsweise bei der Übertragung von AIS-Informationen bei SDH-Signalen - Synchrone Digitale Hierarchie.

35

Der Erfindung liegt die Aufgabe zugrunde, die Gewinnung eines Taktsignals aus einem übermittelten, digitalen Datensignal

während eines Synchronisierungsvorgangs und insbesondere die Synchronisierung des Taktsignals auf das eingehende digitale Datensignal zu verbessern. Die Aufgabe wird durch ein Verfahren und durch eine Anordnung ausgehend von einem Verfahren  
5 und einer Anordnung gemäß den Merkmalen des Oberbegriffs der Patentansprüche 1 und 5 durch deren kennzeichnende Merkmale gelöst.

Durch das erfindungsgemäße Verfahren wird eine automatische  
10 Gewinnung von Taktsignalen zur Abtastung von Datensignalen unterschiedlicher Datenraten mit Hilfe eines Phasenregelkreises realisiert. Der wesentliche Aspekt des erfindungsgemäßen Verfahrens besteht darin, daß bei einem Synchronisiervorgang das Datensignal nacheinander mit einem Taktsignal mit unter-  
15 schiedlichen Frequenzen, die unterschiedlichen Übertragungsprotokollen zugeordnet sind, abgetastet und auf das Vorhandensein einer dem ausgewählten Taktsignal zugeordneten Protokoll-Identifizierungsinformation hin überprüft wird, bis eine Protokoll-Identifizierungsinformation detektiert wird.

20 Der wesentliche Vorteil des erfindungsgemäßen Verfahrens besteht darin, daß durch die Verknüpfung von der Erfassung der Übertragungsrate des übermittelten, digitalen Datensignals und der Erfassung des auf der Frequenz des digitalen Datensignals bzw. des erzeugten Taktsignals abgestimmten Übertragungsprotokolls eine Fehlsynchronisation des erzeugten Taktsignals auf Nebenlinien, Harmonische und Subharmonische der Übertragungsfrequenz bzw. der Übertragungsrate des Datensignals vermieden wird. Durch das erfindungsgemäße Verfahren  
30 können auch im Frequenzbereich benachbart angeordnete Übertragungsraten sicher unterschieden werden - z.B. Unterscheidung von "Gigabit-Ethernet" mit einer Übertragungsrate von 1,25 GBit/s und "Fiber Channel" mit einer Übertragungsrate von 1,064 GBit/s. Ein weiterer Vorteil des erfindungsgemäßen  
35 Verfahrens besteht darin, daß eine automatische Einstellung der Übertragungsrate zur "3R-Datenregenerierung" für rahmenorientierte Übertragungsverfahren sowie die automatische

Erkennung des jeweiligen Übertragungsprotokolls ermöglicht wird. Durch das erfindungsgemäße Verfahren wird in zukünftigen, optischen Kommunikationsnetzen neben einer reinen Wellenlängenkonvertierung mittels flexibler "3R-Datenregenerierung" eine Analyse der jeweils übertragenen digitalen Datensignale bzw. Datenströme ermöglicht - beispielsweise für die Aufbereitung einer Statistik, für die Realisierung einer Netzplanung oder für eine volumenabhängige Abrechnung.

- 10 Weitere vorteilhafte Ausgestaltungen des erfindungsgemäßen Verfahrens sowie eine Anordnung zur automatischen Gewinnung von Taktsignalen sind den weiteren Ansprüchen zu entnehmen.

Im folgenden wird das erfindungsgemäße Verfahren anhand  
15 zweier Zeichnungen näher erläutert. Dabei zeigen:

FIG 1 eine Schaltungsanordnung zur erfindungsgemäßen Gewinnung eines Taktsignals aus einem übermittelten, digitalen Datenstrom und

20

FIG 2 eine beispielhafte, tabellarische Darstellung der für die Durchführung des erfindungsgemäßen Verfahrens erforderlichen und in einem Speicher der Schaltungsanordnung gespeicherten binären Informationen.

25

FIG 1 zeigt in einem Blockschaltbild ein Ausführungsbeispiel einer Schaltungsanordnung zur Erzeugung eines Taktsignals  $t_s$  aus einem herangeführten, digitalen Datensignal bzw. Datenstrom  $ds$ . Die in FIG 1 dargestellte Schaltungsanordnung ist in zwei jeweils durch ein strichpunktiertes Rechteck dargestellte, funktionale Schaltungseinheiten PLL, RD unterteilbar. Die erste funktionale Schaltungseinheit umfaßt eine dem Fachmann allgemein bekannte Phasen-/Frequenzregleinrichtung (PLL) - auch als Phasenregelkreis oder PLL-Schaltung bezeichnet - und die zweite Schaltungseinheit eine mit der Phasen-/Frequenzregleinrichtung (PLL) verbundene Rahmenerkennungs-

30

35

einheit RD, welche im folgenden auch als Rahmendetektor bezeichnet wird.

An einem Eingang ET der Phasen-/Frequenzregeleinrichtung PLL ist ein mit Hilfe eines Übertragungsprotokolls übermittelter, digitaler Datenstrom ds herangeführt, welcher an einen Eingang EF eines Abtast-Flip-Flops AFF weitergeleitet ist. Für das Ausführungsbeispiel sei angenommen, daß der Datenstrom ds gemäß der Synchronen Digitalen Hierarchie - SDH - übermittelt werden. Die Synchrone Digitale Hierarchie basiert auf der synchronen Übertragung von Nutzinformationen unter Verwendung von synchronen Transportmodulen - auch als STM bezeichnet - mit einheitlicher Struktur. Das Basistransportmodul ist der STM-1-Rahmen mit einer Datenübertragungsrate von 155 MBit/s. Jeder STM-1-Rahmen besteht aus einer Matrix aus 9 Reihen mit jeweils 270 Datenoktetts. Der Rahmen hat eine Wiederholfrequenz von 125  $\mu$ s, die Übertragung erfolgt mit einer Bitrate von 155,520 MBit/s. Der STM-1-Rahmen ist in ein Nutzfeld - auch als Payload bezeichnet - und ein Kopffeld - auch als Overhead bezeichnet -, die ersten 9 Oktett aller 9 Reihen beinhalten das Kopffeld, die restlichen Spalten das Nutzfeld. Im Kopffeld sind Informationen enthalten, die zum Betrieb der SDH-Systeme erforderlich sind, diese werden auch als "Section-Overhead" - SOH - bezeichnet und in den SOH-Feldern der Kopffeldes transportiert. In den SOH-Feldern sind beispielsweise die dem Fachmann bekannten und jeweils Rahmenerkennungs-Informationen repräsentierende A1- und A2-Bytes enthalten.

Der Dateneingang ET der Phasen-/Frequenzregeleinrichtung PLL ist gleichzeitig mit einem ersten Eingang EP einer Diskriminatoreinheit DE verbunden. An einen zweiten Eingang EF der Diskriminatoreinheit DE ist ein Referenzfrequenz aufweisendes Referenzsignal  $f_{Ref}$  herangeführt. Die Diskriminatoreinheit DE ist funktional in zwei Komponenten unterteilt, einem Phasendiskriminator PD und einem Frequenzfensterdiskriminator FD - jeweils durch ein strichliertes Rechteck verdeutlicht.

Die Diskriminatoreinheit DE ist über einen Ausgang AP mit einem Eingang EL eines Schleifenfilters LF verbunden, welcher wiederum über einen Ausgang AL mit einem Eingang EV eines spannungsgesteuerten Oszillators VCO verbunden ist. An einen Ausgang AV des spannungsgesteuerten Oszillators VCO ist jeweils über einen Eingang ET ein erster und zweiter einstellbarer, digitaler Frequenzteiler T1, T2 angeschlossen. Über jeweils einen Ausgang AT sind der erste digitale Frequenzteiler T1 mit einem Takteingang CLK des Phasendiskriminators PD und der zweite digitale Frequenzteiler T2 mit einem Teilereingang ETF des Frequenzfensterdiskriminators FD verbunden. Die beschriebene Diskriminatoreinheit DE, bestehend aus einem Phasen- und einem Frequenzfensterdiskriminator PD, FD, sowie dem Schleifenfilter LF, der spannungsgesteuerte Oszillator VCO und die beiden einstellbaren, digitalen Frequenzteiler T1, T2 sind funktionale Bestandteile einer allgemein bekannten Phasenregelschleife, deren Funktion zur Rückgewinnung des Taktes aus dem herangeführten Datenstrom ds neben der Abtaktung des zu regenerierenden Datenstromes ds in Verbindung mit dem Abtast-Flip-Flop AFF dem Fachmann hinreichend bekannt ist und im folgenden nicht näher beschrieben wird.

Die Phasen-/Frequenzregelereinrichtung PLL weist einen Taktausgang CA auf, welcher mit dem Ausgang AT des ersten Frequenzteilers T1 verbunden und an welchen das erzeugte Taktsignal ts weitergeleitet ist. Der Ausgang AT des ersten Frequenzteilers T1 ist weiterhin mit einem Takteingang CLK des Abtast-Flip-Flops AFF verbunden. Über einen Ausgang AF ist der Abtast-Flip-Flop AFF an einen Datenausgang AT der Phasen-/Frequenzregelereinrichtung PLL angeschlossen, an welchen der mit Hilfe des Abtast-Flip-Flops AFF regenerierte Datenstrom cds weitergeleitet ist. Desweiteren ist der Ausgang AF des Abtast-Flip-Flops AFF mit einem Eingang ES eines in der Rahmenerkennungseinheit RD angeordneten Schieberegisters SR verbunden. Das Schieberegister SR weist einen Takteingang CLK auf, welcher mit dem Ausgang AT des ersten Frequenzteiler T1 verbunden ist.



In der Rahmenerkennungseinheit RD ist weiterhin ein Speicher MEM angeordnet, welcher über eine Verbindungsleitung mit einer in der Rahmenerkennungseinheit RD angeordneten Steuereinheit STRG verbunden ist. Im Speicher MEM ist eine in FIG 2 dargestellte Tabelle tab gespeichert ist. Die dargestellte Tabelle tab umfaßt mehrere Tabelleneinträge tel...n, wobei jeder Tabelleneintrag tel...n jeweils einem definierten Übertragungsprotokoll zugeordnet ist. In jedem Tabelleneintrag tel...n ist eine das jeweils definierte Übertragungsprotokoll eindeutig identifizierende Protokoll-Identifizierungsinformation PID1...n - z.B. die in den Overhead-Informationen enthaltenen Rahmen-Erkennungsinformationen, hier das A1- und A2-Byte -, eine Regelkreis-Steuerinformation PLL\_WORD1...n zur Einstellung der Phasen-/Frequenzregeleinrichtung PLL auf die zu erwartende Übertragungsrate des Datenstromes ds sowie eine weitere Overhead-Steuerinformation CNT\_WD1...n zur optionalen protokollspezifischen Auswertung und Bearbeitung der in den jeweiligen Datenpakten bzw. Datenrahmen des Datenstromes ds, cds angeordneten Overhead-Informationen gespeichert. Mit Hilfe der Overhead-Steuerinformationen CNT\_WD1...n können beispielsweise bei einem gemäß dem SDH-Übertragungsverfahren übermittelten Datenstrom ds das in den Overhead-Informationen enthaltene B1-Byte ausgewertet und eventuell neu berechnet werden.

Die Steuereinheit STRG ist über einen mehrere Datenleitungen umfassenden Datenbus DB mit einem in der Rahmenerkennungseinheit RD angeordneten Speicherregister MR verbunden, an welchem jeweils eine im Speicher MEM gespeicherte Protokoll-Identifizierungsinformation PID1...n übermittelbar und in diesem speicherbar ist - durch ein strichliertes Rechteck angedeutet. Das Schieberegister SR und das Speicherregister MR sind jeweils über einen Ausgang AS,AM und jeweils über mehrere Datenleitungen DL1...n mit entsprechenden Eingängen EC einer Vergleicheinheit COMP - beispielsweise einen Komparator - verbunden. In dem Komparator COMP sind Vergleichermittel-

tel angeordnet, durch welche die an den Eingängen EC anliegenden binären Informationen bzw. Datenworte verglichen werden und das Vergleichsergebnis in Form eines Datensignals int über einen Ausgang AC und eine Signalisierungsleitung SCS  
5 an einen Eingang ES der Steuereinheit STRG übermittelt wird.

Über den Datenbus DB ist die Steuereinheit STRG weiterhin mit einer Registereinheit REG verbunden, welche über erste Ausgänge A1 und über erste Steuerleitungen SL1 mit einem Steuer-  
10 eingang S des Frequenzfensterdiskriminators FD, über zweite Ausgänge A2 und über zweite Steuerleitungen SL2 mit entsprechenden Steuereingängen S des zweiten steuerbaren Frequenzteilers T2, über dritte Ausgänge A3 und dritte Steuer-  
15 leitungen SL3 mit entsprechenden Eingängen S des ersten steuerbaren Frequenzteilers T1 und über vierte Ausgänge A4 und vierte Steuerleitungen SL4 mit entsprechenden Eingängen S des spannungsgesteuerten Oszillators VCO verbunden ist. Die Registereinheit REG weist ein oder mehrere Speicherregister auf -  
20 in FIG 1 ist nur ein Speicherregister durch ein strichliertes Rechteck dargestellt - in denen jeweils die im Speicher MEM gespeicherten Regeleinrichtungs-Steuerinformationen PLL\_WORD1...n oder davon abgeleitete Steuerworte bzw. binäre  
Informationen speicherbar sind, mit denen die in der Phasen-/Frequenzregelung PLL angeordneten schaltungstechnischen Komponenten - hier FD, PD, LF, VCO, T1 und T2 - gesteu-  
25 ert werden. Alternativ können von den in der Registereinheit REG gespeicherten Steuerworten analoge Signale abgeleitet und den schaltungstechnischen Komponenten zugeführt werden.

30 Die Rahmenerkennungseinheit RD weist weiterhin eine Steuer-/Überwachungsschnittstelle SS auf, welche über eine Verbindungsleitung mit der Steuereinheit STRG verbunden ist.

Das mit Hilfe der in FIG 1 dargestellten Schaltungsanordnung  
35 realisierbare Verfahren zur Erzeugung eines Taktsignals ts aus dem mit Hilfe eines Übertragungsprotokolls übermittelten digitalen Datenstrom ds ermöglicht wahlweise sowohl die manu-

elle als auch die automatische Auswahl eines Übertragungsprotokolls und eine entsprechende Voreinstellung einer an das ausgewählte Übertragungsprotokoll angepaßten Datenübertragungsrate. Im Folgenden wird das Verfahren zur Erzeugung des Taktsignals  $t_s$  basierend auf einer manuellen - auch als manueller Betriebsmodus bezeichnet - und basierend auf einer automatischen Auswahl - auch als automatischer Betriebsmodus bezeichnet - des Übertragungsprotokolls und der dazugehörigen Datenübertragungsrate anhand der in FIG 1 dargestellten Schaltungsanordnung näher erläutert. Für das weitere Ausführungsbeispiel sei angenommen, daß der digitale Datenstrom  $d_s$  mit Hilfe eines rahmenorientierten Übertragungsprotokolls - hier STM-1 - an den Eingang ET der Phasen-/Frequenzregel Einrichtung (PLL) übermittelt und an den Dateneingang EF des Abtast-Flip-Flops AFF weitergeleitet wird.

#### Manueller Betriebsmodus

Bei manuellem Betrieb der Schaltungsanordnung ist das Übertragungsprotokoll bekannt, mit welchem der digitale Datenstrom  $d_s$  an den Dateneingang EF des Abtast-Flip-Flops AFF übermittelt wird. Aufgrund der Kenntnis des Übertragungsprotokolls wird von der in der Rahmenerkennungseinheit RD angeordneten Steuereinheit STRG der dem STM-1-Übertragungsprotokoll zugeordnete erste Tabelleneintrag  $tel$  der Tabelle  $tab$  ausgewählt und die entsprechende Regelkreis-Steuerinformation - hier  $PLL\_Wort1$  aus dem Speicher MEM ausgelesen und über den Datenbus DB in das oder die entsprechenden Register in der Registereinheit REG übermittelt. Alternativ können von der übermittelten Regelkreis-Steuerinformation  $PLL\_Wort1$  weitere Steuerinformationen abgeleitet und in entsprechenden Register der Registereinheit REG gespeichert werden. Gemäß einer weiteren Ausgestaltungsvariante - nicht dargestellt - können auch mehrere dem STM-1-Übertragungsprotokoll zugeordnete Steuerworte bzw. Regeleinrichtungs-Steuerinformationen in den jeweiligen Tabelleneinträgen  $tel_n$  der Tabelle  $tab$  gespeichert sein - in FIG 2 nicht dargestellt -, welche über den

Datenbus DB in entsprechende Register der Registereinheit REG übermittelt werden. Durch das Übermitteln des oder der im Speicher MEM gespeicherten Regelkreis-Steuerinformation PLL\_Wort1...n werden die schaltungstechnischen Komponenten VCO, T1, T2, FD, PD, LF auf die entsprechende Datenübertragungsrate des eingehenden, digitalen Datenstromes ds - hier 155 MBit/s voreingestellt. Desweiteren wird durch die Steuereinheit STRG die dem ausgewählten Übertragungsprotokoll - hier STM-1 - zugeordnete Protokoll-Identifizierungsinformation - hier PID1 - aus dem entsprechenden Tabelleneintrag tel der Tabelle tab ausgelesen und über den Datenbus DB an das Speicherregister MR übermittelt und in diesem zwischengespeichert. In diesem Ausführungsbeispiel wird als Protokoll-Identifizierungsinformation PID1 das für das STM-1-Übertragungsprotokoll spezifische Rahmenkennungswort bestehend aus dem letzten A1-Byte und dem ersten A2-Byte der Overhead-Informationen an das Speicherregister REG übermittelt.

Wie bereits erläutert, wird die in der Phasen-/Frequenzregleinrichtung PLL angeordnete Phasenregelschleife durch die in der Registereinheit REG gespeicherte Regelkreis-Steuerinformation PLL\_WORD1 auf die Datenübertragungsrate des eingehenden digitalen Datenstromes ds angepaßt. Beispielsweise wird durch das Übermitteln entsprechender Steuerinformationen si2,3 über die Steuerleitungen SL2 und SL3 die steuerbaren Frequenzteiler T1, T2 derart eingestellt, daß die Frequenz des vom spannungsgesteuerten Oszillator VCO herangeführten Signals zur Anpassung des optimalen Arbeitspunktes des Phasen-Diskriminators PD und des Frequenzfenster-Diskriminators FD entsprechend geteilt wird. Mit Hilfe einer zusätzlichen über die vierte Steuerleitung SL4 übermittelten Steuerinformation - hier si4 - wird eine eventuelle erforderliche Voreinstellung bzw. Umschaltung des spannungsgesteuerten Oszillators VCO realisiert. Gemäß einer alternativen Ausgestaltungsvariante der Schaltungsanordnung können mehrere spannungsgesteuerte Oszillatoren VCO in der Phasen-/Frequenzregleinrichtung PLL angeordnet sein, wobei jeweils

ein auf die Datenübertragungsrate des eingehenden digitalen Datenstroms ds abgestimmter spannungsgesteuerter Oszillator VCO mit Hilfe des vierten Steuersignals si4 selektierbar ist.

5 Gemäß einer weiteren, in FIG 1 nicht dargestellten Ausgestaltungsvariante der Schaltungsanordnung wird der in der Phasen-/Frequenzregleinrichtung PLL angeordnete Schleifenfilter LF ebenfalls in Abhängigkeit der in der Registereinheit REG gespeicherten Regelkreis-Steuerinformation PLL\_WORD1...n gesteuert.  
10

Der mit Hilfe des rückgewonnenen Taktsignals ts abgetastete digitale Datenstrom cds wird in das Schieberegister SR eingelesen, d.h. das Schieberegister SR enthält die mit Hilfe des rückgewonnenen Taktes ts eingelesenen Datenbits. Alternativ  
15 kann auch der am Eingang ET anliegende, nicht abgetastete Datenstrom ds über eine Verbindungsleitung - in FIG 1 durch eine strichlierte Verbindungsleitung verdeutlicht - in das durch das Taktsignal ts getaktete Schieberegister SR eingelesen werden.  
20

Die in das Schieberegister SR eingelesene Bitfolge wird durch die Vergleichereinheit COMP mit der im Speicherregister MR zwischengespeicherten Protokoll-Identifizierungsinformation - hier pid1 - permanent verglichen. Wird durch die Vergleichereinheit COMP eine Übereinstimmung bzw. teilweise Übereinstimmung der eingelesenen, digitalen Bitfolge mit der Protokoll-Identifizierungsinformation pid1 festgestellt, wird in der Vergleichereinheit COMP ein entsprechendes Steuersignal  
30 int generiert und über die Steuerleitung SCS an die Steuereinheit STRG übermittelt. Durch das Übermitteln der Steuerinformation int an die Steuereinheit STRG wird das Erkennen des ausgewählten Übertragungsprotokolls - hier STM1 - und die Einstellung der zugehörigen Datenübertragungsrate an der Phasen-/Frequenzregleinrichtung PLL angezeigt.  
35

Um eine Verbesserung der Synchronisierung des erzeugten Taktsignals  $t_s$  mit dem eingehenden, digitalen Datenstrom  $d_s$  zu erreichen, wird gemäß einer weiteren, nicht dargestellten Ausgestaltungsvariante durch die Steuereinheit STRG überprüft, ob die Protokoll-Identifizierungsinformation - hier  $pid_1$  - in einer für das ausgewählte Übertragungsprotokoll spezifischen Zykluszeit mehrfach, beispielsweise dreimal, erkannt wird. Liegt aufgrund des eingesetzten Übertragungsprotokolls eine asynchrone Rahmenfolge vor - z.B. bei Verwendung des Gigabit-Ethernet-Übertragungsprotokolls - kann mit Hilfe dieser Ausgestaltungsvariante das Pausenpattern - auch als "Interframe Gap" bezeichnet - analysiert werden.

Mit Hilfe der Steuereinheit STRG kann bei Erkennen der ausgewählten bzw. erwarteten Protokoll-Identifizierungsinformation  $pid_1$  im abgetasteten Datenstrom  $d_s$  der Beginn der Datenübertragung protokolliert werden. Vorteilhaft kann bei Ausbleiben der periodisch erzeugten Datenrahmen - z.B. bei Verwendung des STM-1-Übertragungsprotokolls - in Verbindung mit weiteren Parametern - z.B. Verlust des Signals (LOS, Lost of Signal) oder optische Pegel - auf eine Störung oder das Ende der Übertragung geschlossen werden. Durch die erfindungsgemäße Analyse der ankommenden Datenrahmen kann für den Fall, daß durch die in der Phasen-/Frequenzregel Einrichtung PLL angeordnete Phasenregelschleife eine Synchronisierung auf eine benachbarte Übertragungsrate - z.B. PDH mit 140 Mbit/s - erfolgt ist, die Nichtverwendung bzw. das Nichterkennen des vorgewählten Übertragungsprotokolls erkannt bzw. protokolliert werden. Wird z.B. das vorgewählte Übertragungsprotokoll nicht erkannt, kann ein automatischer Abbruch der Verbindung eingeleitet werden.

#### Automatischer Betrieb

Bei Verwendung der in FIG 1 dargestellten Schaltungsanordnung im automatischen Betriebsmodus soll das durch die Phasen-/Frequenzregel Einrichtung PLL erzeugte Taktsignal  $t_s$  ohne Be-

dienerereingriff auf den am Dateneingang ET eingehenden digitalen Datenstrom aufsynchronisiert und eine anschließende "3D-Datenregenerierung" des digitalen Datenstromes ds ermöglicht werden. Dazu sind in der im Speicher MEM angeordneten Tabelle  
5 tab sämtliche zu erwartende Übertragungsprotokolle mit den dazugehörigen protokollspezifischen Protokoll-Identifizierungsinformationen pid1...n und zugehörige Regeleinrichtungs-Steuerinformation PLL\_WORD1...n zur Einstellung der Phasen-/Frequenzregeleinrichtung PLL auf die zu erwartende Daten-  
10 übertragungsrate gespeichert. Mit der Aktivierung des Automatik-Betriebsmodus wird die Steuereinheit STRG veranlaßt, die in der Tabelle tab des Speichers MEM angeordneten Protokoll-Identifizierungsinformationen PID1...n und Regeleinrichtungs-Steuerinformationen PLL\_WORD1...n in beschriebener Art und  
15 Weise schrittweise so lange zyklisch an die Registereinheit REG bzw. an das Speicherregister MR zu übermitteln, bis durch die Vergleichereinheit COMP ein in der Tabelle tab gespeichertes, definiertes Übertragungsprotokoll erkannt und an die Steuereinheit STRG gemeldet wird. Bei Erkennen eines im Speicher  
20 MEM gespeicherten Übertragungsprotokolls wird das zyklische Abarbeiten der im Speicher MEM angeordneten Tabelle tab beendet. Bei Ausbleiben der Erkennung des aktuell selektierten Übertragungsprotokolls wird nach einer vordefinierten, protokollspezifischen Verzögerung das beschriebene, sukzessive Durchlaufen der gespeicherten Protokoll-Identifizierungsinformationen PID1...n, bzw. Regeleinrichtungs-Steuerinformationen PLL\_WORD1...n erneut durchgeführt.

Der selbständige Ablauf der Protokollsuche kann vorteilhaft  
30 erst durch einen Bedienereingriff freigeschaltet werden. Gemäß einer weiteren vorteilhaften Ausgestaltung ist eine selektive Freischaltung von einer Auswahl der in der Tabelle tab gespeicherten Übertragungsprotokolle mit Hilfe einer entsprechenden Kennung in den jeweiligen Tabelleneinträgen tel...n  
35 möglich.

Zur weiteren Verbesserung der Synchronisierungsüberwachung kann der aktuelle Zustand Phasen-/Frequenzregelung PLL mit Hilfe eines allgemein bekannten, zusätzlich in der Phasen-/Frequenzregelung PLL angeordneten Lock-Detektors -  
5 nicht dargestellt - erfaßt und an die Steuereinheit STRG gemeldet werden.

Über die mit der Steuereinheit STRG verbundene Steuer-/Überwachungsschnittstelle SS können die im Speicher MEM gespeicherten Tabelleneinträge teilweise bearbeitet bzw. aktualisiert werden, sowie neben der Überwachung der jeweils übertragenen Übertragungsprotokolle die Freischaltung bestimmter Übertragungsprotokolle gesteuert werden. Über die Steuer-/Überwachungsschnittstelle SS kann weiterhin zwischen dem be-  
10 schriebenen manuellen oder automatischen Betriebsmodus umgeschaltet werden. Die Steuer-/Überwachungsschnittstelle SS kann beispielsweise an eine übergeordnete Netzwerkverwaltungs- oder Netzwerkmanagementeinheit angeschlossen werden, so daß es beispielsweise einem Netzbetreiber ermöglicht wird,  
15 die Datenübertragungsrate des an der Phasen-/Frequenzregelung PLL eingehenden digitalen Datenstromes zu überwachen und zu steuern.

Durch die erfindungsgemäße Verknüpfung der Voreinstellung der zu erwartenden Datenübertragungsrate an der dem Fachmann allgemein bekannten Phasen-/Frequenzregelung PLL und der Überprüfung des für die Vermittlung des digitalen Datenstromes eingesetzten Übertragungsprotokolls durch eine teilweise Auswertung der in den einzelnen Datenrahmen enthaltenen Over-  
25 head-Informationen wird eine Fehlsynchronisierung des Taktsignals auf Nebenlinien, Harmonischen und Subharmonischen der Datenübertragungsrate vermieden. Durch das erfindungsgemäße Verfahren können auch nur einen geringen Abstand aufweisende Datenübertragungsraten durch Auswertung der unterschiedlichen  
30 Overhead-Informationen sicher unterschieden werden.



## Patentansprüche

1. Verfahren zur automatischen Gewinnung von Taktsignalen (ts) zur Abtastung von Datensignalen (ds) unterschiedlicher Datenraten mit Hilfe eines Phasenregelkreises (PLL),  
5 **dadurch gekennzeichnet**,  
daß bei einem Synchronisiervorgang das Datensignal (cds, ds) nacheinander mit einem Taktsignal (ts) mit unterschiedlichen Frequenzen, die unterschiedlichen Übertragungsprotokollen zugeordnet sind, abgetastet und auf das Vorhandensein einer dem  
10 ausgewählten Taktsignal (ts) zugeordneten Protokoll-Identifizierungsinformation (PID1...n) hin überprüft wird, bis eine Protokoll-Identifizierungsinformation (PID1...n) detektiert wird.

15

2. Verfahren nach Anspruch 1,  
**dadurch gekennzeichnet**,  
daß die Protokoll-Identifizierungsinformation (PID1...n) im Overhead eines Datenrahmens enthalten ist.

20

3. Verfahren nach Anspruch 1 oder 2,  
**dadurch gekennzeichnet**,  
daß die Protokoll-Identifizierungsinformation (PID1...n) ein Pausensignal repräsentiert.

5

4. Verfahren nach Anspruch 2 oder 3,  
**dadurch gekennzeichnet**,  
daß nach der Detektion des verwendeten Übertragungsprotokolls eine protokollspezifische Bearbeitung zumindest eines Teils  
30 der jeweiligen Overhead-Informationen erfolgt.

35

5. Anordnung zur automatischen Gewinnung von Taktsignalen (ts) zur Abtastung von mit Hilfe von Übertragungsprotokollen übermittelten Datensignalen (ds) unterschiedlicher Datenraten, wobei die Datensignale (ds) zumindest eine das Übertragungsprotokoll eindeutig identifizierende, binäre Protokoll-Identifizierungsinformation (PID1...n) aufweisen,

- mit einem Phasenregelkreis (PLL) zur Synchronisierung des Taktsignals (ts) mit dem an die Phasen-/Frequenzregel Einrichtung herangeführten digitalen Datensignal (ds),
- 5 - mit zumindest einer im Rückkopplungszweig der Phasen-/Frequenzeinrichtung (PLL) angeordneten, steuerbaren Frequenzteilereinrichtung (T1,2),
- mit Abtastmitteln (AFF, SR) zur Abtastung des digitalen Datensignals (ds) mit Hilfe des Taktsignals (ts),
- 10 **dadurch gekennzeichnet,**
- daß eine Steuereinheit (STRG, REG) vorgesehen ist, die eine einem Übertragungsprotokoll entsprechende Frequenz des Taktsignals (ts) einstellt,
- daß ein Protokolldetektor (RD) vorgesehen ist, in welchem
- 15 die Steuereinheit (STRG, REG) angeordnet ist und der zumindest einen Teil des abgetasteten Datensignals (cds, ds) speichert und auf Protokoll-Identifizierungsinformationen (PID1...n) hin untersucht und das Untersuchungsergebnis an die Steuereinheit (STRG) übermittelt, die bei einer fehlenden Protokoll-Identifizierungsinformation (PID1...n) weitere
- 20 festgelegte Frequenzen des Taktsignals (ts) auswählt, bis eine Protokoll-Identifizierungsinformation (PID1...n) im abgetasteten Datensignal (cds, ds) erkannt wird.
- 25 6. Anordnung nach Anspruch 5,
- dadurch gekennzeichnet,**
- daß im Protokolldetektor (RD) mit der Steuereinheit (STRG, REG) verbundene Speichermittel (MEM) zum Abspeichern zumindest einer binären Protokoll-Identifizierungsinformation
- 30 (PID1...n) und zumindest einer der Protokoll-Identifizierungsinformation (PID1...n) jeweils zugeordneten und den Phasenregelkreis (PLL) protokollspezifisch steuernden Regleinrichtungs-Steuerinformation (PLL\_WORD1...n) angeordnet sind,
- 35 - daß die Steuereinheit (STRG, REG) Mittel zur Bildung von zumindest einem Steuersignal (sil...4) aus der zumindest einen einer Protokoll-Identifizierungsinformation (PID1...n)

zugeordneten Regeleinrichtungs-Steuerinformation (PLL\_WORD1...n) aufweist, wobei das zumindest eine Steuersignal (sil...4) an den Phasenregelkreis (PLL) übermittelt wird,

- 5 - daß im Protokolldetektor (RD) mit der Steuereinheit (STRG, REG) verbundene Detektormittel (SR, COMP, MR) zur Detektion der gespeicherten und der zumindest einen Regeleinrichtungs-Steuerinformation (PLL\_WORD1...n) zugeordneten Protokoll-Identifizierungsinformation (PID1...n) im abgetasteten  
10 Datensignal (cds, ds) angeordnet sind,
  - daß die Detektormittel (SR, COMP, MR) Signalerzeugungsmittel zur Erzeugung eines das Detektionsergebnis repräsentierenden Steuersignals (int) aufweisen, das an die Steuereinheit (STRG, REG) übermittelt wird, und
  - 15 - daß die Steuereinheit (STRG, REG) derart ausgestaltet ist, daß aus der zumindest einen gespeicherten Regeleinrichtungs-Steuerinformation (PLL\_WORD1...n) zumindest ein eine Frequenzteiler-Steuerinformation repräsentierendes Steuersignal (sil,3) gebildet und an die zumindest eine Frequenz-  
20 teilereinrichtung (T1,2) übermittelt wird.

7. Anordnung nach Anspruch 6,

**dadurch gekennzeichnet,**

- daß die Steuereinheit (STRG, REG) derart ausgestaltet ist,  
daß bei mehreren in den Speichermitteln (MEM) gespeicherten  
35 Protokoll-Identifizierungsinformationen (pid1...n) die diesen zugeordneten Regeleinrichtungs-Steuerinformationen (PLL\_WORD1...n) sukzessive an den Phasenregelkreis (PLL) übermittelt und die jeweils zugeordneten Protokoll-Identifizierungsinformationen (PID1...n) im abgetasteten Datenstrom (ds, cds) sukzessive detektiert werden, wobei die sukzessive Übermittlung der Regeleinrichtungs-Steuerinformationen (PLL\_WORD1...n) in Abhängigkeit von dem Detektionsergebniss erfolgt.

8. Anordnung nach Anspruch 6 oder 7,

**dadurch gekennzeichnet,**

- daß die Detektormittel (SR, COMP, MR)

-- ein Schieberegister (SR), an welches das abgetastete Datensignal oder das Datensignal (cds, ds) und das Taktsignal (ts) herangeführt sind,

-- einen mit dem Schieberegister (SR) und mit der Steuereinheit (STRG, REG) verbundenen Komparator (COMP), und

-- ein mit dem Komparator (COMP) und der Steuereinheit (STRG) verbundenes Speicherregister (MR) zum Zwischenspeichern einer Protokoll-Identifizierungsinformation (PID1...n) umfaßt,

- daß der Komparator (COMP) derart ausgestaltet ist, daß die im Speicherregister (MR) gespeicherte Protokoll-Identifizierungsinformation (PID1...n) mit dem in das Schieberegister (SR) eingelesenen, digitalen Datensignal (cds, ds) verglichen wird und das Vergleichsergebnis mit Hilfe des Steuersignals (int) an die Steuereinheit (STRG) übermittelt wird.

9. Anordnung nach einem der Ansprüche 6 bis 8,

**dadurch gekennzeichnet,**

- daß in den Speichermitteln (MEM) unterschiedliche Protokoll-Identifizierungsinformationen (PID1...n) und diesen zugeordnete Overhead-Steuerinformationen (CNT\_WD1...n) gespeichert sind,

- daß das abgetastete Datensignal (cds, ds) einer mit der Steuereinheit (STRG, REG) verbunden Overhead-Bearbeitungseinheit zur Bearbeitung von im Datensignal (cds, ds) enthaltenen protokollspezifischen Overhead-Informationen zugeführt ist,

- daß die Overhead-Bearbeitungseinheit und die Steuereinheit (STRG, REG) derart ausgestaltet sind, daß die Overhead-Informationen in Abhängigkeit der zumindest einen dem detektierten Übertragungsprotokoll zugeordneten Overhead-Steuerinformation (CNT\_WD1...n) bearbeitet werden.

10. Anordnung nach einem der Ansprüche 6 bis 9,  
**dadurch gekennzeichnet,**

daß die Steuereinheit (STRG, REG) mit einer Steuer-  
/Überwachungsschnittstelle (SS) verbunden ist, über welche

- 5 - die in den Speichermitteln (MEM) gespeicherten Informatio-  
nen (PID1...n, PLL\_WORD1...n, CNT\_WD1...n) aktualisierbar sind,  
und/oder  
- Detektionsergebnisse an eine übergeordnete Kommunikations-  
einheit übermittelbar sind.

10

11. Anordnung nach einem der Ansprüche 6 bis 10,  
**dadurch gekennzeichnet,**

daß mehrere spannungsgesteuerte Oszillatoren (VCO) in Abhän-  
gigkeit von der Regeleinrichtungs-Steuerinformation

- 15 (PLL\_WORD1...n) auswählbar sind.

12. Anordnung nach einem der Ansprüche 6 bis 11,  
**dadurch gekennzeichnet,**

daß im Phasenregelkreis (PLL) ein Frequenzfenster-Diskrimina-  
tor (FD) vorgesehen ist, der die Frequenz des Taktsignals  
20 (ts) in Abhängigkeit von der Regeleinrichtungs-Steuerinforma-  
tion (PLL\_WORD1...n) festlegt und der ebenfalls von der Steuer-  
einheit (STRG, REG) eingestellt wird.

25

13. Anordnung nach einem der Ansprüche 5 bis 12,  
**dadurch gekennzeichnet,**

daß im Phasenregelkreis (PLL) ein Schleifenfilter (LF) vorge-  
sehen ist, der von der Steuereinheit (STRG) eingestellt wird.

30

14. Anordnung und Verfahren nach einem der vorherigen Ansprü-  
che,

**dadurch gekennzeichnet,**

daß das Übertragungsprotokoll ein STM-1- oder STM-4- oder  
STM-16-, ein Fiber-Channel- oder ein Gigabit-Ethernet-Proto-  
35 koll darstellt.

## Zusammenfassung

Verfahren und Anordnung zur automatischen Gewinnung von Taktsignalen zur Abtastung von Datensignalen unterschiedlicher  
5 Datenraten mit Hilfe eines Phasenregelkreises.

Bei einem Synchronisiervorgang mit Hilfe eines Phasenregelkreises (PLL) wird ein Datensignal (cds, ds) nacheinander mit  
einem Taktsignal (ts) mit unterschiedlichen Frequenzen, die  
10 unterschiedlichen Übertragungsprotokollen zugeordnet sind,  
abgetastet und auf das Vorhandensein einer dem ausgewählten  
Taktsignal (ts) zugeordneten Protokoll-Identifizierungsinformation (PID1...n) hin überprüft, bis eine Protokoll-Identifizierungsinformation (PID1...n) detektiert wird. Vorteilhaft  
15 wird die Frequenzauflösung des Phasenregelkreises (PLL) erhöht und somit die Synchronisierung des Taktsignals (ts) auf  
das Datensignal (ds) verbessert.

FIG 1

20

FIG 1

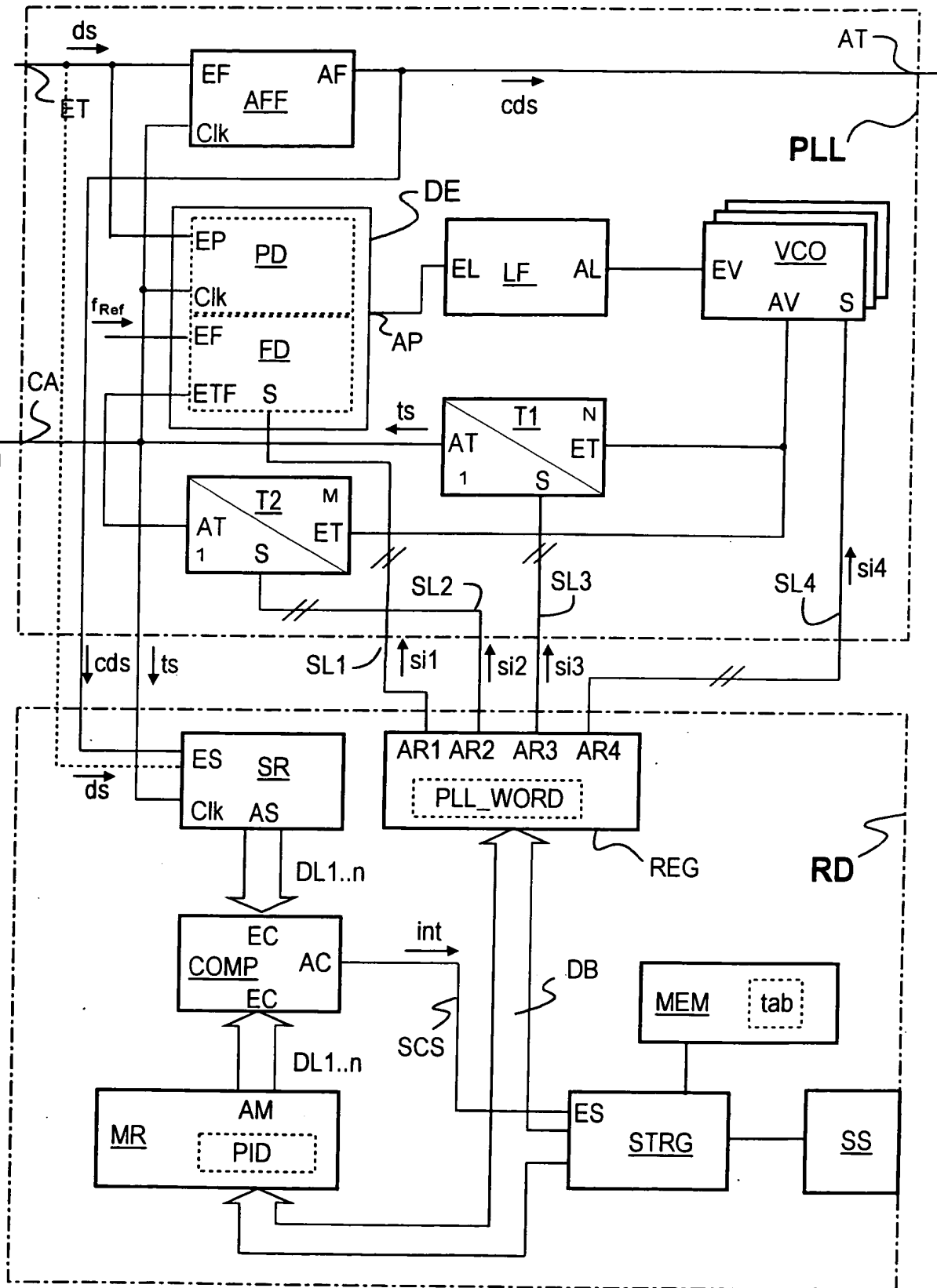


FIG 2

tab

Datensatz-Nr.	Übertragungs-Protokoll	Protokoll-Identifizierungs-Information	Regeleinrichtungs-Steuerinformation	Overhead-Steuerinformation
te1	SDH (STM-1) (155 MBit/s)	PID1 (z.B. A1- und A2-Byte im SOH eines SDH-Signals)	PLL_WORD1	CNT_WD1
te2	SDH (STM-4) (622 MBit/s)	PID2 (z.B. A1- und A2-Byte im SOH eines SDH-Signals)	PLL_WORD2	CNT_WD2
te3	SDH (STM-16) (2,5 GBit/s)	PID3 (z.B. A1- und A2-Byte im SOH eines SDH-Signals)	PLL_WORD3	CNT_WD3
te4	Gigabit-Ethernet (1,25 GBit/s)	PID4 (Idle; Präambel; SFD – "Start Frame Delimiter")	PLL_WORD4	CNT_WD4
te n	.....	PIDn	PLL_WORDn	CNT_WDn